

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP406097171A

PAT-NO: JP406097171A

DOCUMENT-IDENTIFIER: JP 06097171 A

TITLE: FABRICATION OF SEMICONDUCTOR DEVICE

PUBN-DATE: April 8, 1994

INVENTOR-INFORMATION:

NAME

SAITO, TOMIYASU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

APPL-NO: JP04242871

APPL-DATE: September 11, 1992

INT-CL (IPC): H01L021/3205

US-CL-CURRENT: 438/FOR.433,148/DIG.55

ABSTRACT:

PURPOSE: To fabricate a semiconductor device having desired function by means of anti-fuse after completion of wiring step in which low ohmic contact is insured at a part requiring no modification.

CONSTITUTION: Anti-fuses 3<SB>1</SB>-3<SB>5</SB> constituted of first layer wirings 2<SB>1</SB>-2<SB>5</SB> and an amorphous silicon layer, an interlayer insulation film 4, and a resist mask 5 for forming contact holes having first openings on the first layer wirings 2<SB>1</SB>-2<SB>5</SB> and the anti-fuses 3<SB>1</SB>-3<SB>5</SB> are formed on a substrate 1. Etching is performed through the first openings of the mask 5 to make contact holes 6<SB>1</SB>-6<SB>5</SB> which reach the surfaces of the anti-fuses 3<SB>1</SB>-3<SB>5</SB>. A resist mask 7 for etching amorphous silicon layer having second openings larger than the first openings is then formed only on

the contact holes 6<SB>3</SB>, 6<SB>5</SB> reaching the first layer wiring and requiring no modification of connection. The anti-fuses 3<SB>3</SB>, 3<SB>5</SB> are removed using the resist masks 5, 7 and then second layer wirings 8<SB>1</SB>-8<SB>5</SB> are formed thereon.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-97171

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

7514-4M

H 0 1 L 21/ 88

Z

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-242871

(22)出願日 平成4年(1992)9月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 齋藤 富康

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

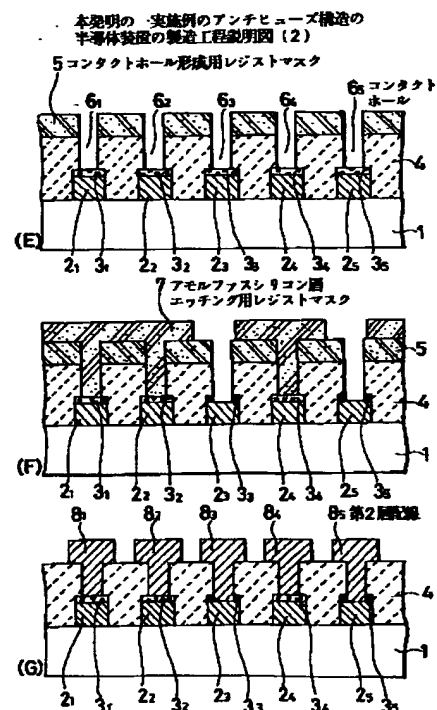
(74)代理人 弁理士 柏谷 昭司 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 配線工程の終了後、アンチヒューズによって所望の機能の半導体装置を製造する方法に関し、変更を要しない部分の低抵抗接続を確保する。

【構成】 基板1の上に、第1層配線2₁～2₅とアモルファスシリコン層からなるアンチヒューズ3₁～3₅と、層間絶縁膜4と、第1層配線2₁～2₅とアンチヒューズ3₁～3₅の上に第1の開口を有するコンタクトホール形成用レジストマスク5を形成し、このマスク5の第1の開口を通してエッチングしてアンチヒューズ3₁～3₅の表面に達するコンタクトホール6₁～6₅を形成し、その上に、接続の変更を要しない第1層配線に達するコンタクトホール6₃、6₅の上のみに、第1の開口より大きい第2の開口を有するアモルファスシリコン層エッチング用レジストマスク7を形成し、レジストマスク5、7を用いてアンチヒューズ3₃、3₅を除去した後、第2層配線8₁～8₅を形成する。



【特許請求の範囲】

【請求項1】 基板上に第1層配線用導電体層を形成する工程と、該第1層配線用導電体層の上にアンチヒューズとなるアモルファスシリコン層を形成する工程と、該第1層配線用導電体層と該アモルファスシリコン層をパターニングすることによって第1層配線を形成する工程と、該第1層配線の上に層間絶縁膜を形成する工程と、該層間絶縁膜の上にレジストを塗布し、パターニングして第1の開口を有するコンタクトホール形成用レジストマスクを形成する工程と、該コンタクトホール形成用レジストマスクを用いて該層間絶縁膜をエッチング除去して該アモルファスシリコン層の表面を露出するコンタクトホールを形成する工程と、該コンタクトホール形成用レジストマスクの上にレジストを塗布し、パターニングして固定的に接続すべき第1層配線に達するコンタクトホールの上に第1の開口より大きい第2の開口を有するアモルファスシリコン層エッチング用レジストマスクを形成する工程と、該アモルファスシリコン層エッチング用レジストマスクを用いて所定のアモルファスシリコン層をエッチング除去する工程と、該アモルファスシリコン層が残留しているコンタクトホールにおいては該アモルファスシリコン層を介して、アモルファスシリコン層が残留していないコンタクトホールにおいては直接第1層配線と接続される第2層配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法、特に、半導体装置の多層配線の一部に高抵抗のアモルファスシリコンからなるアンチヒューズを挿入しておき、このアンチヒューズを適宜多結晶化して低抵抗化することによって、要求される機能を有する半導体装置を製造する方法に関する。

【0002】

【従来の技術】近年の半導体装置は、高集積化が進み製造工程数が著しく増加し、半導体装置の設計から製造完了まで要する時間が長期化するという問題が生じている。

【0003】図3(A)～(D)は、従来の多層配線構造の半導体装置の製造工程説明図である。この図において、11は半導体基板、12₁、12₂、12₃、12₄、12₅は第1層配線、13は層間絶縁膜、14はコンタクトホール形成用レジストマスク、15₃、15₄、15₅はコンタクトホール、16₁、16₄は第2層配線である。

【0004】この製造工程説明図によって従来の多層配線構造の半導体装置の製造方法の一例を説明する。

【0005】第1工程(図3(A)参照)

後に行う配線の接続態様によって複数の回路に対応できる集積回路のウェハプロセスを完了した半導体基板11

の上に、導電材料の膜をパターニングすることによって第1層配線12₁、12₂、12₃、12₄、12₅を形成する。

【0006】第2工程(図3(B)参照)

第1工程において形成した第1層配線12₁、12₂、12₃、12₄、12₅を含む全面に表面が平坦な層間絶縁膜13を形成する。

【0007】第3工程(図3(C)参照)

第2工程において形成した層間絶縁膜13の上に、後に形成する第2層配線16₁、16₄と接続する第1層配線12₃、12₄、12₅の上に開口を有するコンタクトホール形成用レジストマスク14を形成する。そして、このコンタクトホール形成用レジストマスク14の開口を通して層間絶縁膜13をエッチングして第1層配線12₃、12₄、12₅に達するコンタクトホール15₃、15₄、15₅を形成する。

【0008】第4工程(図3(D)参照)

第3工程において形成したコンタクトホール15₃、15₄、15₅を通して接続すべき第1層配線12₃、12₄、12₅に接続される第2層配線16₁、16₄を形成して目的とする機能を有する半導体装置を構成する。

【0009】この製造方法によると、半導体基板自体には複数の回路に対応できる集積回路が形成されていたとしても、特定の機能をもつように第1層配線12₃、12₄、12₅と第2層配線16₁、16₄を形成した後は、この配線を変更することができないため、この特定の機能とは異なる機能をもつ半導体装置に変更することは不可能である。

【0010】したがって、上記のように配線の設計当初から特定の機能をもつように製造工程を進める必要があるため、ユーザーのオーダーから製造完了までに要する時間が長期化することが避けられなかった。

【0011】上記の問題を解決するために、半導体基板への素子形成や変更を要しない配線を予め済ませ、仕様に応じて変更する可能性のある配線の接続部を絶縁性アンチヒューズを介して接続しておき、ユーザー等から要求される仕様に応じて、このアンチヒューズを適宜導電化して目的とする機能を有する半導体装置を完成することが提案された。

【0012】このアンチヒューズの一例として、変更する可能性のある配線の接続部に高抵抗のアモルファスシリコン層を介在させておき、最終的に要求される仕様に応じて半導体装置を完成する際、接続することが必要な接続部のアモルファスシリコン層に電流を流して加熱することによって低抵抗の多結晶シリコン層に変換する技術を挙げることができる。

【0013】図4(A)～(D)、図5(E)～(G)

は、従来のアンチヒューズ構造の半導体装置の製造工程説明図である。この図において、21は半導体基板、2

2は第1層配線層、22₁、22₂、22₃、22₄、22₅は第1層配線、23はアモルファスシリコン層、23₁、23₂、23₃、23₄、23₅はアンチヒューズ、24は層間絶縁膜、25はコンタクトホール形成用レジストマスク、26₁、26₂、26₃、26₄、26₅はコンタクトホール、27はアモルファスシリコン層エッチング用レジストマスク、28₁、28₂、28₃、28₄、28₅は第2層配線である。

【0014】この製造工程説明図によって従来のアンチヒューズ構造の半導体装置の製造方法を説明する。

【0015】第1工程(図4(A)参照)

配線の接続態様によって複数の回路に対応できる集積回路のウェハプロセスを完了した半導体基板21の上に、第1配線層22を形成する。この第1配線層22はA1等の金属層で形成することができる。

【0016】第2工程(図4(B)参照)

第1工程によって形成された第1配線層22の上に例えば低温CVD法によってアモルファスシリコン層23を形成する。この状態ではアモルファスシリコン層23は高抵抗である。

【0017】第3工程(図4(C)参照)

第2工程によって形成されたアモルファスシリコン層23の上にフォトリソ膜を形成し、露光現像することによってパターンニングして第1配線を形成すべき部分に開口を形成する。そして、これをマスクにして第1配線層22とアモルファスシリコン層23をエッチングして、第1層配線22₁、22₂、22₃、22₄、22₅と、アンチヒューズ23₁、23₂、23₃、23₄、23₅を形成する。

【0018】第4工程(図4(D)参照)

第3工程において形成した第1層配線22₁、22₂、22₃、22₄、22₅と、アンチヒューズ23₁、23₂、23₃、23₄、23₅を含む全面に表面が平坦な層間絶縁膜24を形成する。

【0019】第5工程(図5(E)参照)

第4工程において形成した層間絶縁膜24の上に、アンチヒューズ23₁、23₂、23₃、23₄、23₅の上に開口を有するコンタクトホール形成用レジストマスク25を形成する。そして、この開口を通して層間絶縁膜24をエッチングして、アンチヒューズ23₁、23₂、23₃、23₄、23₅に達するコンタクトホール26₁、26₂、26₃、26₄、26₅を形成する。

【0020】第6工程(図5(F)参照)

第5工程において使用したコンタクトホール形成用レジストマスク25を除去し、コンタクトホール26₁、26₂、26₃、26₄、26₅を含む全面に新たにアモルファスシリコン層エッチング用レジストマスク27を形成する。このアモルファスシリコン層エッチング用レジストマスク27には、ユーザー等から要求される仕様がどのようなものであっても固定的に接続されるべき第1

層配線22₃、22₅の上に形成されたアンチヒューズ23₃、23₅の上に開口が形成されている。その後この開口を通してアンチヒューズ23₃、23₅の少なくとも一部をエッチングして除去する。

【0021】第7工程(図5(G)参照)

第6工程において使用したアモルファスシリコン層エッチング用レジストマスク27を除去した後、ユーザー等から最終的に要求される仕様に応じて接続する可能性のある第1層配線22₁、22₂、22₄とはアンチヒューズ23₁、23₂、23₄を介して第2層配線28₁、28₂、28₄を接続し、また、固定的に接続する第1層配線22₃、22₅とはアンチヒューズを介さずに直接低抵抗で第2層配線28₃、28₅を接続して製造工程を完了する。

【0022】この半導体装置は、要求される仕様に応じて、選択された第1層配線22₁、22₂、22₄と第2層配線28₁、28₂、28₄の間に電流を流すことによって、選択されたアンチヒューズ23₁、23₂、23₄を加熱し低抵抗多結晶シリコンに変換して所望の機能を有する半導体装置を形成して使用される。

【0023】

【発明が解決しようとする課題】ところが、この従来のアンチヒューズ構造の半導体装置の製造方法によると、図5(F)に示されているように、アモルファスシリコン層エッチング用レジストマスク27に開口を形成する際、すでに形成されているコンタクトホール26₁、26₂、26₃、26₄、26₅との位置ずれを皆無にすることはきわめて困難である。

【0024】このように、アモルファスシリコン層エッチング用レジストマスク27の開口とコンタクトホール26₁、26₂、26₃、26₄、26₅の間に位置ずれを生じると、アモルファスシリコン層からなるアンチヒューズ23₃、23₅を完全に除去することができず、その結果、第1層配線22₃、22₅と第2層配線28₃、28₅の間の接続が不十分になる虞がある。

【0025】本発明は、要求される仕様にかかわらず固定的に接続すべき部分の低抵抗接続を確保し、要求される仕様に応じて接続を変更する部分にアンチヒューズを用いた半導体装置を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明にかかる半導体装置の製造方法においては、基板上に第1層配線用導電体層を形成する工程と、該第1層配線用導電体層の上にアンチヒューズとなるアモルファスシリコン層を形成する工程と、該第1層配線用導電体層と該アモルファスシリコン層をパターンニングすることによって第1層配線を形成する工程と、該第1層配線の上に層間絶縁膜を形成する工程と、該層間絶縁膜の上にレジストを塗布し、パターンニングして第1の開口を有するコンタクトホール形成用レジストマスクを形成する工程と、該コンタクトホー

ル形成用レジストマスクを用いて該層間絶縁膜をエッチング除去して該アモルファスシリコン層の表面を露出するコンタクトホールを形成する工程と、該コンタクトホール形成用レジストマスクの上にレジストを塗布し、パターンニングして固定的に接続すべき第1層配線に達するコンタクトホールの上に第1の開口より大きい第2の開口を有するアモルファスシリコン層エッチング用レジストマスクを形成する工程と、該アモルファスシリコン層をエッチング除去する工程と、該アモルファスシリコン層が残留しているコンタクトホールにおいては該アモルファスシリコン層を介して、アモルファスシリコン層が残留していないコンタクトホールにおいては直接第1層配線と接続される第2層配線を形成する工程を採用した。

【0027】

【作用】本発明のように、第1層配線に達するコンタクトホール形成用レジストマスクを残したままで、その上にアモルファスシリコン層エッチング用レジストマスクに大径の開口をパターンニングすると、アモルファスシリコン層をエッチングする際のマスクとしてコンタクトホール形成用レジストマスクの開口が機能するから、アモルファスシリコン層エッチング用レジストマスクを形成する際に多少の位置ずれが生じて、アモルファスシリコン層の除去が不充分になり、接続が不完全になることはない。

【0028】

【実施例】本発明の一実施例の半導体装置の製造方法を説明する。図1(A)～(D)、図2(E)～(G)は、本発明の一実施例のアンチヒューズ構造の半導体装置の製造工程説明図である。この図において、1は半導体基板、2は第1層配線層、2₁、2₂、2₃、2₄、2₅は第1層配線、3はアモルファスシリコン層、3₁、3₂、3₃、3₄、3₅はアンチヒューズ、4は層間絶縁膜、5はコンタクトホール形成用レジストマスク、6₁、6₂、6₃、6₄、6₅はコンタクトホール、7はアモルファスシリコン層エッチング用レジストマスク、8₁、8₂、8₃、8₄、8₅は第2層配線である。

【0029】この製造工程説明図によって本発明の一実施例のアンチヒューズ構造の半導体装置の製造方法を説明する。

【0030】第1工程(図1(A)参照)

配線の接続態様によって複数の機能をもつ回路に対応できる集積回路のウェハプロセスを完了した半導体基板1の上に、A1等の第1配線層2を形成する。

【0031】第2工程(図1(B)参照)

第1工程によって形成された第1配線層2の上に低温CVD法によって高抵抗のアモルファスシリコン層3を形成する。

【0032】第3工程(図1(C)参照)

第2工程によって形成されたアモルファスシリコン層3の上にフォトリソを形成し、露光現像することによってパターンニングして第1層配線を形成すべき部分に開口を形成する。次いで、この開口を通して第1層配線層2とアモルファスシリコン層3をエッチングして、第1層配線2₁、2₂、2₃、2₄、2₅と、アンチヒューズ3₁、3₂、3₃、3₄、3₅を形成する。

【0033】第4工程(図1(D)参照)

第3工程において形成した第1層配線2₁、2₂、2₃、2₄、2₅と、アンチヒューズ3₁、3₂、3₃、3₄、3₅を含む全面に表面が平坦な層間絶縁膜4を形成する。

【0034】第5工程(図2(E)参照)

第4工程において形成した層間絶縁膜4の上に、アンチヒューズ3₁、3₂、3₃、3₄、3₅の上に第1の開口を有するコンタクトホール形成用レジストマスク5を形成する。そして、この第1の開口を通して層間絶縁膜4をエッチングして、アンチヒューズ3₁、3₂、3₃、3₄、3₅に達するコンタクトホール6₁、6₂、6₃、6₄、6₅を形成する。

【0035】第6工程(図2(F)参照)

第5工程において使用したコンタクトホール形成用レジストマスク5を残したままで、コンタクトホール6₁、6₂、6₃、6₄、6₅を含む全面に新たにアモルファスシリコン層エッチング用レジストマスク7を形成する。

【0036】このアモルファスシリコン層エッチング用レジストマスク7には、ユーザー等から要求される仕様にかかわらず固定的に接続すべき第1層配線2₃、2₅の上に形成されたアンチヒューズ3₃、3₅の上に、コンタクトホール形成用レジストマスク5の第1の開口より大径の第2の開口が形成されている。そしてこの二つの開口を通してアンチヒューズ3₃、3₅の少なくとも一部をエッチングして除去する。

【0037】第7工程(図2(G)参照)

第6工程において使用したアモルファスシリコン層エッチング用レジストマスク7とコンタクトホール形成用レジストマスク5を除去した後、ユーザー等から最終的に要求される仕様に応じて接続する可能性のある第1層配線2₁、2₂、2₄とはアンチヒューズ3₁、3₂、3₄を介して第2層配線8₁、8₂、8₄を接続し、また、固定的に接続する第1層配線2₃、2₅とはアンチヒューズを介さないで直接低抵抗で第2層配線8₃、8₅を接続する。

【0038】この実施例の工程によると、第6工程において、ユーザー等から要求される仕様にかかわらず低抵抗かつ安定に接続すべき第1層配線2₃、2₅の上に形成されたアンチヒューズ3₃、3₅をエッチングする際、実質的なエッチングマスクは、アモルファスシリコ

7

ン層エッチング用レジストマスク7の大径の第2の開口中にあるコンタクトホール形成用レジストマスク5の第1の開口であるから、アモルファスシリコン層をエッチングするマスクとコンタクトホールの間に位置ずれが生じる余地は全くなく、アモルファスシリコン層エッチング用レジストマスク7は、ユーザー等から最終的に要求される仕様に応じて接続する可能性のある第1層配線2₁、2₂、2₄の上のアンチヒューズ3₁、3₂、3₄を覆っていれば充分であるから、位置合わせ精度を高くする必要がなく、製造工程における制御精度に余裕が生じる。

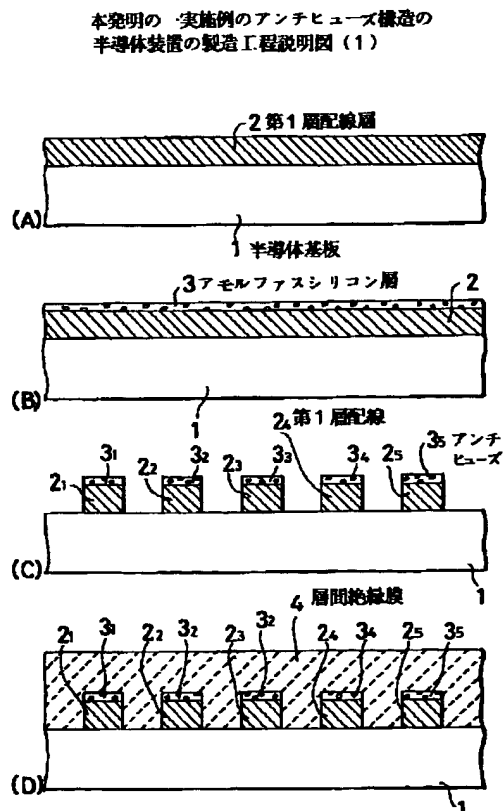
【0039】

【発明の効果】以上説明したように、本発明によると、アンチヒューズ構造を有する多機能対応型半導体装置の製造工程において、エッチング用レジストマスクを形成する際のマスク位置合わせに関する余裕度が大きくなり、この種の半導体装置の製造に要する期間の短縮に寄与するところが大い。

【図面の簡単な説明】

【図1】(A)～(D)は本発明の一実施例のアンチヒューズ構造の半導体装置の製造工程説明図(1)である。

【図1】



8

【図2】(E)～(G)は本発明の一実施例のアンチヒューズ構造の半導体装置の製造工程説明図(2)である。

【図3】(A)～(D)は従来の多層配線構造の半導体装置の製造工程説明図である。

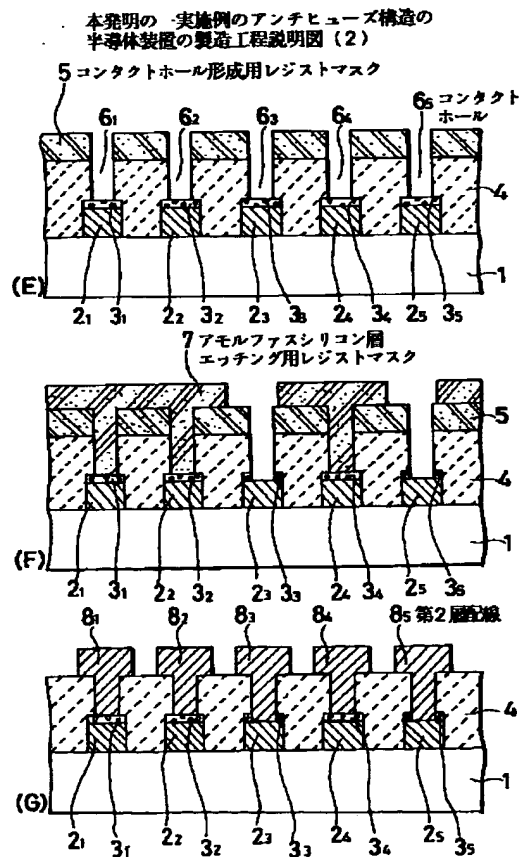
【図4】(A)～(D)は従来のアンチヒューズ構造の半導体装置の製造工程説明図(1)である。

【図5】(E)～(G)は従来のアンチヒューズ構造の半導体装置の製造工程説明図(2)である。

【符号の説明】

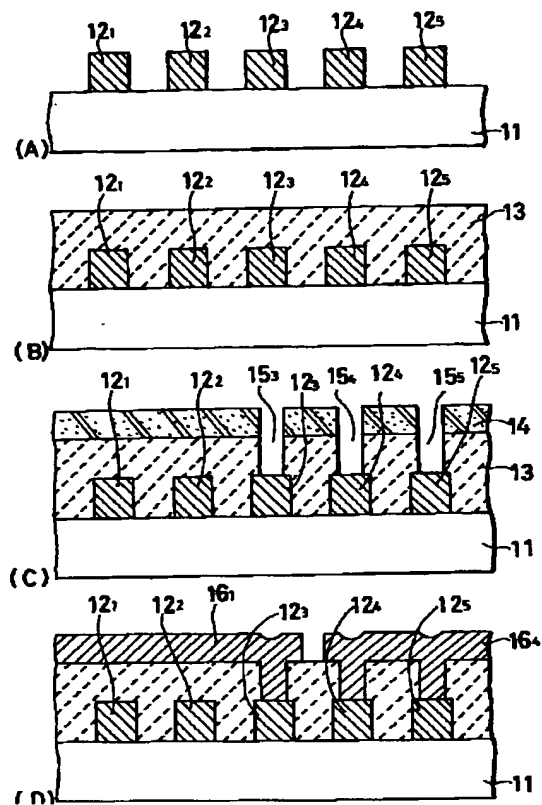
- 1 半導体基板
- 2 第1層配線層
- 2₁, 2₂, 2₃, 2₄, 2₅ 第1層配線
- 3 アモルファスシリコン層
- 3₁, 3₂, 3₃, 3₄, 3₅ アンチヒューズ
- 4 層間絶縁膜
- 5 コンタクトホール形成用レジストマスク
- 6₁, 6₂, 6₃, 6₄, 6₅ コンタクトホール
- 7 アモルファスシリコン層エッチング用レジストマスク
- 8₁, 8₂, 8₃, 8₄, 8₅ 第2層配線

【図2】



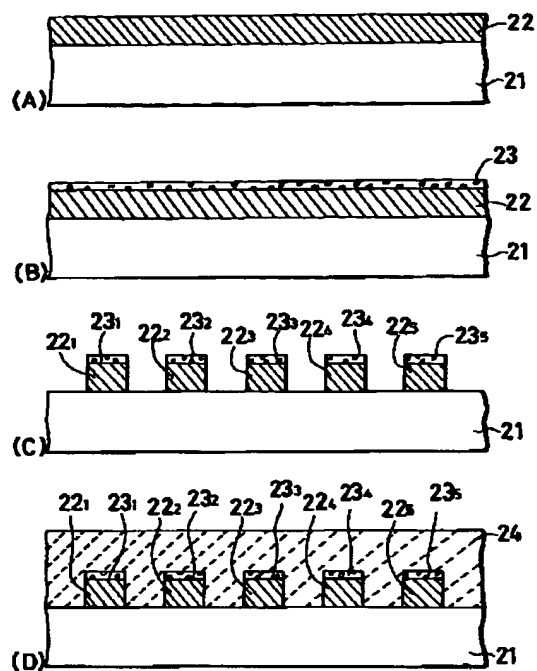
【図3】

従来のもる配線構造の半導体装置の製造工程説明図



【図4】

従来のアンチヒューズ構造の半導体装置の製造工程説明図(1)



【図5】

従来のアンチヒューズ構造の半導体装置の製造工程説明図(2)

